

PAT-NO: JP406140435A

DOCUMENT-IDENTIFIER: JP 06140435 A

TITLE: COMPOUND SEMICONDUCTOR SUBSTRATE
HAVING HETERO JUNCTION
AND FIELD EFFECT TRANSISTOR USING SAME

PUBN-DATE: May 20, 1994

INVENTOR-INFORMATION:

NAME

MATSUGAYA, KAZUOKI

TAGUCHI, TAKASHI

UENO, YOSHIKI

HATTORI, TADASHI

ASSIGNEE-INFORMATION:

NAME

NIPPONDENSO CO LTD

COUNTRY

N/A

APPL-NO: JP04288765

APPL-DATE: October 27, 1992

INT-CL (IPC): H01L021/338, H01L029/812

US-CL-CURRENT: 117/89, 438/FOR.293

ABSTRACT:

PURPOSE: To obtain structure wherein the distribution of 2DEG in a channel layer is prevented from concentrating in the vicinity of the hetero interface with a doped layer, and at the same time, the channel layer to which strain is applied can be thinned, in a pseudomorphic HEMT.

CONSTITUTION: In N-InAlAs/InGaAs pseudomorphic structure grown on an InP substrate 1, an InGaAs spacer layer 4 whose In composition is less than an InGaAs channel layer 3 is inserted in an InAlAs/InGaAs hetero interface. The In composition of the InGaAs channel layer 3 is 0.80 to improve the mobility in the channel layer. The In compositions of InAlAs layers of a buffer layer 2, a spacer layer 5, and a doped layer 6 are 0.52 for lattice matching with the substrate. The In compositions of the InGaAs spacer layer 4 and the InGaAs layer of a cap layer 7 are 0.53 for lattice matching with the substrate. Thereby the distribution of two-dimensional electron gas is controlled, and the mobility can be more improved.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-140435

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/338

29/812

7376-4M

H 0 1 L 29/ 80

H

審査請求 未請求 請求項の数4(全 7 頁)

(21)出願番号 特願平4-288765

(22)出願日 平成4年(1992)10月27日

特許法第30条第1項適用申請有り 1992年9月16日 社団法人応用物理学会発行の「1992年秋季第53回応用物理学会学術講演会予稿集第3分冊」に発表

(71)出願人 000004260

日本電装株式会社

愛知県刈谷市昭和町1丁目1番地

(72)発明者 松ヶ谷 和沖

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 田口 隆志

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(72)発明者 上野 祥樹

愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

(74)代理人 弁理士 碓氷 裕彦

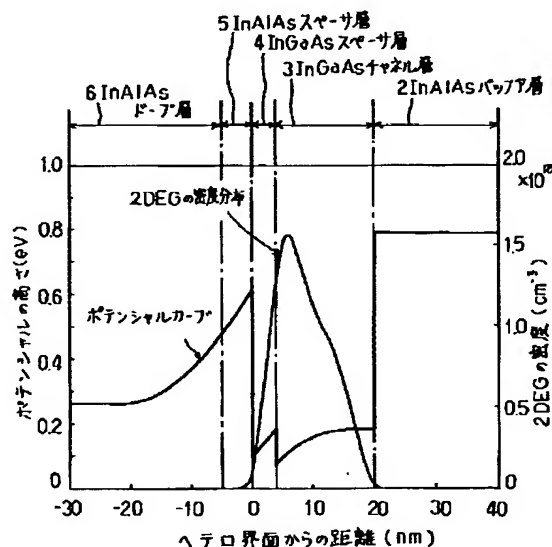
最終頁に続く

(54)【発明の名称】 ヘテロ接合を有する化合物半導体基板およびそれを用いた電界効果トランジスタ

(57)【要約】

【目的】 Pseudomorphic HEMTにおいて、チャネル層内の2DEGの分布がドープ層とのヘテロ界面近傍に集中するのを防止し、同時に歪みの加わったチャネル層の膜厚を薄くすることができる構造を提供する。

【構成】 InP 基板1上に成長させたn-InAlAs/InGaAs Pseudomorphic 構造において、InAlAs/InGaAs ヘテロ界面にInGaAsチャネル層3よりもIn組成の少ないInGaAsスペーサ層4を挿入した。InGaAsチャネル層3のIn組成は0.80としてチャネル層の高移動度化を図り、それ以外のバッファ層2、スペーサ層5、ドープ層6のInAlAs層はIn組成を基板に格子整合する0.52、InGaAsスペーサ層4、キャップ層7のInGaAs層は基板に格子整合する0.53とした。本構造により2次元電子ガスの分布が制御され、移動度をさらに向上することができる。



1

【特許請求の範囲】

【請求項1】 InGaAs層とInAlAs層とのヘテロ接合を有する化合物半導体基板において、上記InGaAs層のIn組成が上記InAlAs層のIn組成よりも大きい構造とされ、かつ、上記InGaAs層とInAlAs層とが接するヘテロ接合界面に、上記InAlAs層のIn組成とほぼ等しいIn組成を持つInGaAs層、あるいは上記InGaAs層のIn組成よりも小さいIn組成を持つInGaAs層が挿入されていることを特徴とする化合物半導体基板。

【請求項2】 InAlAs/InGaAsヘテロ接合のInGaAs層側に形成される2次元電子ガスを能動層として、この2次元電子ガスへInAlAsドープ層を介してソース・ドレイン電極よりキャリアを供給し、該2次元電子ガスの電子走行をゲート電極に印加される電界によって制御する電界効果トランジスタにおいて、上記2次元電子ガスの形成されるInGaAsチャネル層のIn組成が、上記InAlAsドープ層のIn組成よりも大きい構造とされ、かつ、上記InGaAsチャネル層とInAlAsドープ層とが接するヘテロ界面、あるいはInGaAsチャネル層とInAlAsスペーサ層とが接するヘテロ界面には、上記InAlAsドープ層のIn組成とほぼ等しいIn組成を持つInGaAs層、あるいは上記InGaAsチャネル層のIn組成よりも小さいIn組成を持つInGaAs層が挿入されていることを特徴とする電界効果トランジスタ。

【請求項3】 InGaAs層とAlGaAs層とのヘテロ接合を有する化合物半導体基板において、上記InGaAs層とAlGaAs層とが接するヘテロ接合界面に、上記InGaAs層のIn組成よりも小さいIn組成を持つInGaAs層が挿入されていることを特徴とする化合物半導体基板。

【請求項4】 AlGaAs/InGaAsヘテロ接合のInGaAs層側に形成される2次元電子ガスを能動層として、この2次元電子ガスへAlGaAsドープ層を介してソース・ドレイン電極よりキャリアを供給し、該2次元電子ガスの電子走行をゲート電極に印加される電界によって制御する電界効果トランジスタにおいて、上記InGaAsチャネル層とAlGaAsドープ層とが接するヘテロ界面、あるいはInGaAsチャネル層とAlGaAsスペーサ層とが接するヘテロ界面には、上記InGaAsチャネル層のIn組成よりも小さいIn組成を持つInGaAs層が挿入されていることを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はヘテロ接合を有する化合物半導体基板に係り、特に2次元に量子化された電子を用いる高電子移動度電界効果トランジスタ（HEMT）

2

に用いて最適なものである。

【0002】

【従来の技術】トランジスタの性能向上のためには、より多くの電子をより早くスイッチングする工夫が必要である。一般に、電子の濃度を高めるために多くのドナー不純物を半導体層に添加すると、不純物の散乱が大きくなって半導体内部の電子の動きやすさ（移動度）が低下する。この問題を解決するために、GaAs等の移動度の高い材料を用い、2次元電子ガス（2DEG）を能動層として用いる高電子移動度電界効果トランジスタ（HEMT）が知られている。

【0003】HEMTは電子の走行する層（チャネル層）と電子を供給する層（ドープ層）とを異なる材質で構成している点が特徴であり、電子はチャネル層内に量子効果によって2次元電子ガスとして閉じ込められるため、ドープ層内のドナー不純物と分離することができ、電子の散乱を小さくすることができる。また、散乱をさらに小さくするために、ドープ層とチャネル層との間にドープ層と同じ材質、同じ組成で不純物を添加しないスペーサ層を挿入する場合もある。

【0004】このHEMTの高性能化のためにはチャネル層の移動度を高めることが効果的である。最近では、チャネル層の材料として、GaAsよりも更に移動度の高いInGaAsを用いることが検討されている。またInGaAsチャネル層に組み合わせるドープ層の材料としては、AlGaAsあるいはInAlAsが知られている。

【0005】ここで、InGaAsはInの含有量（In組成）を増大させると、それにつれて移動度が高くなる性質がある。そのためIn組成を高くすればトランジスタの高性能化が得られることとなるが、In組成を高くすると格子定数も大きくなり、ドープ層や基板材料と格子不整合を生ずるという性質がある。そこで、準安定な（Pseudomorphic）状態で結晶成長を行ったPseudomorphic HEMTが注目されている。これは、格子定数の異なる材料で格子不整合を伴う成長であっても臨界膜厚と呼ばれるある一定膜厚以下であれば、結晶格子は歪んで変形するものの転位などの格子の乱れの無い良質の結晶成長が可能であるという性質を利用したものである。このものは、チャネル層のIn組成を大きくし、ドープ層のIn組成をそれより小さいものとするにより、InGaAsチャネル層とドープ層とのバンドギャップの差を大きくとることができ、それにより量子効果が効果的に作用して多くの電子を閉じこめることができ、電子濃度の向上と高移動度とを両立できるという長所もある。

【0006】

【発明が解決しようとする課題】ところで、量子効果による電子の閉じ込めは、伝導帯のポテンシャルで形成される量子井戸の形状によって決まる。量子効果を理論的

に解析するために、チャネル層に蓄積される2次元電子ガス(2DEG)の分布をシュレディンガー波動方程式とポアソンの式を自己無撞着に解く数値計算手法によって計算した。この計算手法はHEMTの電子分布を求めるときに用いられている手法である。

【0007】図6は従来の構造のPseudomorphic HEMTのポテンシャル形状と2DEGの分布の計算結果である。なお、従来構造としては、半絶縁性InP基板1上に、順に、基板1と格子整合するIn組成比52%でInAlAsバッファ層2を、バッファ層2に対して準安定な状態でIn組成比80%のInGaAsチャネル層3を、さらにキャリア供給側として、In組成比52%のInAlAsスペーサ層5、ドナー不純物がドーパされたIn組成比52%のn型InAlAsドーパ層6、ドーパ層の酸化防止のためのIn組成比53%のn型InGaAsキャップ層7が結晶成長された構造のPseudomorphic HEMTを用いている。

【0008】図6からわかるように、Pseudomorphic HEMTのように多くの電子を閉じこめることができる構造では、チャネル層(InGaAs)3のポテンシャルの曲がり急峻になり、ヘテロ界面近傍で大きく窪む形状となる。そのため、電子密度分布はヘテロ界面近傍で鋭いピークを有することとなり、ヘテロ界面近傍に存在する電子の割合が多くなる。

【0009】一方、ドーパ層(InAlAs)6内にはドナー不純物があり、電子を放出した後には正の電荷を帯びて層内に残留し、チャネル層3内の電子にクーロン力による影響を及ぼすことになる。したがって、上述のように電子がヘテロ界面寄りに偏ったピークを持つと、ドナー不純物に近づくにつれてより大きい散乱を受けることから、ドーパ層とのクーロン散乱が多くなり、特性に悪影響を及ぼすことになる。

【0010】また、Pseudomorphic HEMTではチャネル層の格子定数が他の層と異なっておりチャネル層内に歪みに加わるため、前述したように層の厚みを臨界膜厚以下に設定する必要がある。しかし、たとえ臨界膜厚以下でも、経時変化や急激な温度変化に対する安定性が悪くなったり、結晶方位によって抵抗率が異なる抵抗異方性が観測されたりする問題点がある。さらに、歪みの加わった層の膜厚が厚くなるにつれ膜に加わる歪みが強くなるため、この問題点はより顕著になる傾向がある。

【0011】ヘテロ界面付近に電子が集中する問題を解決する技術としては、例えば電子情報通信学会技術研究報告ED90-115に報告されているように、チャネル層内に極めて薄いInAs層を挿入し、InAsがInGaAsに対してバンドギャップが小さいことを利用して2DEGの分布をヘテロ界面から離れたところに位置させる手法がある。しかし、InAsはInGaAsよりもさらに格子定数が高いためチャネル層に加わる歪みは一層大きくなるという問題がある。

【0012】本発明は上記問題に鑑みなされたものであり、従来構造のPseudomorphic HEMT構造に改良を加え、チャネル層内の2DEGの分布がドーパ層とのヘテロ界面近傍に集中するのを防止し、同時に歪みの加わったチャネル層の膜厚を薄くすることができ、高性能かつ信頼性の高いHEMTを提供できるようにすることを目的とする。

【0013】

【発明の概要】そこで、本発明者らは、ドーパ層(あるいはスペーサ層が存在する場合にはスペーサ層)と歪みの加わったチャネル層との界面に、チャネル層よりもIn組成を少なくしたInGaAs層(以下InGaAsスペーサ層と呼ぶ)を挿入する構造を考案した。InGaAs層のIn組成を少なくするとそのバンドギャップは大きくなるため、InGaAsスペーサ層のバンドギャップはチャネル層よりも大きくなる。従って、従来構造で問題となったヘテロ界面近傍のポテンシャルの急激な歪みが改善され、界面近傍に電子が集中するのを防止できる。また、InGaAs層のIn組成を少なくすることで他の層との格子定数の整合性が改善され、InGaAsスペーサ層でチャネル層の役割を一部代用することで、歪みの加わっているチャネル層(高移動度化のためIn組成を高くした部分)の膜厚を薄く設計することが可能となる。

【0014】すなわち、本発明によれば、InGaAsスペーサ層をヘテロ界面に挿入することにより、界面付近の電子の集中の防止とチャネル層に加わる歪みの低減という2つの効果を同時に達成したHEMTを提供することができるものである。

【0015】具体的には、InGaAs層とInAlAs層とのヘテロ接合を有する化合物半導体基板において、InGaAs層のIn組成をInAlAs層のIn組成よりも大きい構造とし、かつ、上記InGaAs層とInAlAs層とが接するヘテロ接合界面に、上記InAlAs層のIn組成とほぼ等しいIn組成を持つInGaAs層、あるいは上記InGaAs層のIn組成よりも小さいIn組成を持つInGaAs層を挿入したことを特徴としている。

【0016】そして、本基板を用いた電界効果トランジスタは、InAlAs/InGaAsヘテロ接合のInGaAs層側に形成される2次元電子ガスを能動層として、この2次元電子ガスへInAlAsドーパ層を介してソース・ドレイン電極よりキャリアを供給し、該2次元電子ガスの電子走行をゲート電極に印加される電界によって制御する電界効果トランジスタであって、上記2次元電子ガスの形成されるInGaAsチャネル層のIn組成が、上記InAlAsドーパ層のIn組成よりも大きい構造とされ、かつ、上記InGaAsチャネル層とInAlAsドーパ層とが接するヘテロ界面、あるいはInGaAsチャネル層とInAlAsスペーサ層と

が接するヘテロ界面には、上記InAlAsドープ層のIn組成とはほぼ等しいIn組成を持つInGaAs層、あるいは上記InGaAsチャネル層のIn組成よりも小さいIn組成を持つInGaAs層が挿入されていることを特徴としている。

【0017】また、InGaAs層とAlGaAs層とのヘテロ接合を有する化合物半導体基板において、InGaAs層とAlGaAs層とが接するヘテロ接合界面に、上記InGaAs層のIn組成よりも小さいIn組成を持つInGaAs層を挿入したことを特徴としてい

る。
【0018】そして、本基板を用いた電界効果トランジスタは、AlGaAs/InGaAsヘテロ接合のInGaAs層側に形成される2次元電子ガスを能動層として、この2次元電子ガスへAlGaAsドープ層を介してソース・ドレイン電極よりキャリアを供給し、該2次元電子ガスの電子走行をゲート電極に印加される電界によって制御する電界効果トランジスタであって、上記InGaAsチャネル層とAlGaAsドープ層とが接するヘテロ界面、あるいはInGaAsチャネル層とAlGaAsスペーサ層とが接するヘテロ界面には、上記InGaAsチャネル層のIn組成よりも小さいIn組成を持つInGaAs層が挿入されていることを特徴としている。

【0019】本発明によれば、従来のPseudomorphic HEMTをより高性能に、かつ高い信頼性を持つように改良することができる。

【0020】

【実施例】以下、本発明を実施例に基づいて説明する。
図1にはInGaAs層をチャネル層に用いた本発明によるHEMTの断面構造図を示す。図1において、半絶縁性基板1上に、バッファ層2、InGaAsチャネル層3、InGaAsスペーサ層4、スペーサ層5、ドープ層6およびキャップ層7が形成されている。ここで、符号5、6は同材料から構成される。なお、以上の構成はMBE法あるいはMOCVD法にて順次形成できる。そして、この構造を電界効果トランジスタとして動作させるため、最表面にはオーム性電極であるドレイン電極8、ソース電極10と、ショットキー電極であるゲート電極9が形成される。なお、これら電極材料は従来公知のものをを用いている。

【0021】上記構造において、ドープ層6としてInAlAsを用い、InAlAs/InGaAsヘテロ構造とした本発明第1実施例について説明する。図2は本発明第1実施例の基板構造を示し、InGaAsをチャネル層に、InAlAsをドープ層に用いている。まず、図2に示すように半絶縁性のInP基板1上にMBE法等を用いて順次、InAlAsバッファ層2を例えば100nm、InGaAsチャネル層3を16nm、InGaAsスペーサ層4を4nm、InAlAsスベ

ーサ層5を5nm、InAlAsドープ層6を50nm、およびInGaAsキャップ層7を5nmにて結晶成長させる。ここで、キャリア供給側のInAlAsドープ層6とInGaAsキャップ層7にはドナー不純物が $n=1 \times 10^{18} \text{cm}^{-3}$ 程度添加されている。また、InGaAsチャネル層3以外のIn組成はInGaAsは約53%、InAlAsは約52%とInP基板1とはほぼ格子定数が等しくなるように調整している。一方、InGaAsチャネル層3はIn組成を80%と他に比べて大きくしている。この結果、上述したようにチャネル層の移動度は高くなるものの、チャネル層には歪み加わることとなる。したがって、チャネル層3の膜厚は準安定な状態の得られる臨界膜厚以下に設定されるもので、In組成80%の時の臨界膜厚(約25nm)を考慮して決定されている。

【0022】上記基板構造において、InGaAsスペーサ層4の効果について理論的に説明する。図3は本実施例において、InGaAsスペーサ層4を厚さ4nmで挿入したHEMTのポテンシャル形状と2DEGの分布の計算結果である。図6に示した従来構造の計算結果と比較すると、InGaAsスペーサ層4を挿入することによりヘテロ界面近傍の2DEGの集中が緩和され、電子の分布はヘテロ界面から遠ざかる方向にずれることがわかる。このようにドープ層6に存在するドナー不純物から電子を遠ざけることができるため、クーロン力による散乱は減りチャネル層を走行する電子の移動度が向上することが期待される。なお、2DEGとなる電子の量、すなわちシートキャリア濃度はInGaAsスペーサ層4を挿入してもほとんど変化しない。ただし、電子の一部はInGaAsスペーサ層4内にも溢れだすこともわかる。InGaAsスペーサ層4はチャネル層3に比べてIn組成が少ないため移動度も若干低いという問題がある。したがってInGaAsスペーサ層4が厚すぎるとInGaAsスペーサ層4に溢れだす電子が多くなり、逆に移動度が低下することになる。

【0023】そこで、HEMT素子の性能向上に役立つInGaAsスペーサ層4は、その膜厚を以下のように最適な範囲で形成するようにするとよい。図2に示す構造の試料についてInGaAsスペーサ層4の膜厚を0~8nmまで変化させた試料を用意し、それぞれホール測定により室温(300K)で2DEGの移動度を測定した。なお、InGaAsスペーサ層4とInGaAsチャネル層3との膜厚の合計は20nmと一定にした。図4にInGaAsスペーサ層4の膜厚に対する移動度の変化を示す。

【0024】図4からあきらかなように、InGaAsスペーサ層3が0nm、すなわち従来構造のPseudomorphic HEMTの場合は移動度が最大 $11500 \text{cm}^2/\text{Vs}$ であるのに対し、InGaAsスペーサ層4を4nmにした試料では移動度が $12530 \text{cm}^2/\text{Vs}$ と、約9%向上することが

7

できる。また、InGaAsスペーサ層4の膜厚を5nm以上にすると移動度はかえって低下する。これは上述のInGaAsスペーサ層4への電子の溢れ出しが原因と考えられる。従って、図2に示す本発明第1実施例ではInGaAsスペーサ層4の膜厚dを4nm程度に設定するようにするとよい。

【0025】また、従来構造のPseudomorphic HEMTに比べて、本実施例ではInGaAsスペーサ層4を4nm挿入することで、歪みの加わったInGaAsチャネル層3をその分薄くして例えば16nmに設定して、図4に示すように特性に問題はなく、むしろ向上している。このように格子不整合の伴うチャネル層3を薄く設定できる分、膜に加わる歪みの量も小さくなり、経時変化や抵抗異方性などの影響も小さくなり、信頼性が向上するという長所もある。さらに、チャネル層3の膜厚を臨界膜厚に近く設計した場合、この臨界膜厚前後では移動度の低下が大きく、素子毎の移動度のばらつきが大きくなることが推察されるが、上述のようにInGaAsチャネル層3を薄くしているため移動度の変化も小さく、特性の揃った素子を得ることができる。なお、このことは、移動度が高くなって室温では問題とならないような微小な転位密度の変化にも敏感になると考えられる極低温において、特に有効であり、上述のようにInGaAsチャネル層3を薄くすることにより広い温度範囲において高速動作が保障できることになる。

【0026】なお、InGaAsスペーサ層4の組成は、図2の例ではInPと格子整合するようにInAlAsドープ層6とほぼ等しい組成を選んだが、必ずしもこの組成に限定するものではなく、InGaAsチャネル層3のIn組成よりも小さくなるように設定すればよく、要するにInGaAsチャネル層3のバンドギャップより大きく、かつInAlAsドープ層6のバンドギャップより小さくなるIn組成にて形成するようにすればよい。そのように構成すれば、InGaAsスペーサ層4のバンドギャップはチャネル層よりも大きくなりヘテロ界面近傍の電子の集中防止作用があるとともに、チャネル層の一部をチャネル層よりも歪みの弱いInGaAsスペーサ層で代用でき、信頼性向上の効果も期待できる。

【0027】なお、図2にはInP基板を用いる場合を示したが、GaAs基板上に格子不整合緩和のためのInGaAsグレーティッドバッファ層（結晶成長方向について、InGaAsのIn組成を0から所望のIn組成、例えば53%まで徐々に増してゆく構造）を介して、上述のInAlAsバッファ層、InGaAsチャネル層、InGaAsスペーサ層、InAlAsスペーサ層、InAlAsドープ層、InGaAsキャップ層を順次結晶成長させても同様の効果を得ることができる。

8

【0028】次に、図1に示すHEMT構造において、ドープ層6としてAlGaAsを用い、AlGaAs/InGaAsヘテロ構造とした本発明第2実施例について説明する。図5は本発明第2実施例の基板構造を示し、InGaAsをチャネル層に、AlGaAsをドープ層に用いている。まず、図5に示すように半絶縁性のGaAs基板1上にMBE法等で、GaAsバッファ層2を例えば200nm、InGaAsチャネル層3とInGaAsスペーサ層4とを上記第1実施例同様あわせて20nm程度、AlGaAsスペーサ層5を5nm、AlGaAsドープ層6を40nm、およびGaAsキャップ層7を5nm、順次結晶成長した。ここで、AlGaAsドープ層6、GaAsキャップ層7にはドナー不純物が $n=1\sim 2\times 10^{18}\text{cm}^{-3}$ 程度添加されている。また、AlGaAsスペーサ層5、AlGaAsドープ層6のAl組成は22%としている。そして、InGaAsチャネル層3のIn組成は例えば15%、InGaAsスペーサ層4のIn組成は7%としている。

【0029】この実施例の構造でも、InGaAsスペーサ層4のバンドギャップはInGaAsチャネル層3よりも大きく、かつ歪みはInGaAsスペーサ層4の方が少ないため、第1実施例と同様の効果を得ることができる。なお、InGaAsスペーサ層4の膜厚は、図4に示した実験と同様の実験を行うことにより最適値を決定するようにすればよく、例えば3~5nmが望ましい。

【図面の簡単な説明】

【図1】InGaAs層をチャネル層に用いた本発明によるHEMTの断面構造図である。

【図2】本発明の第1実施例の基板構造模式図である。

【図3】4nm厚のInGaAsスペーサ層を挿入したHEMT（第1実施例）のポテンシャル形状と、2次元電子ガスの密度分布とを示す理論計算結果である。

【図4】第1実施例において、InGaAsスペーサ層の膜厚を変えたときの2次元電子ガスの移動度の測定値である。

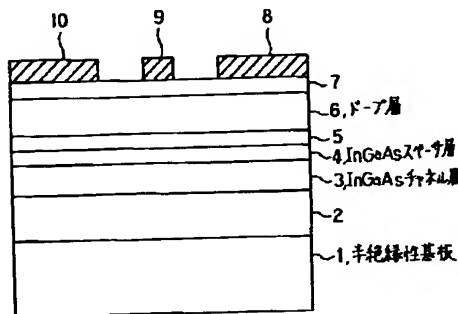
【図5】本発明の第2実施例の基板構造模式図である。

【図6】従来構造のPseudomorphic HEMTのポテンシャル形状と、2次元電子ガスの密度分布とを示す理論計算結果である。

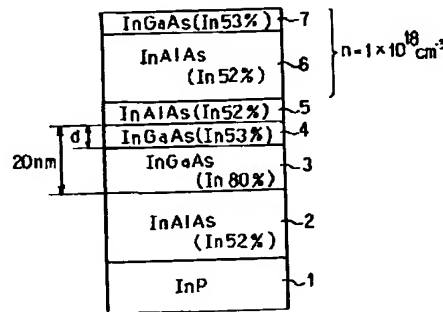
【符号の説明】

- 1 半絶縁性基板
- 3 InGaAsチャネル層
- 4 InGaAsスペーサ層
- 5 スペーサ層
- 6 ドープ層
- 8 ドレイン電極
- 9 ゲート電極
- 10 ソース電極

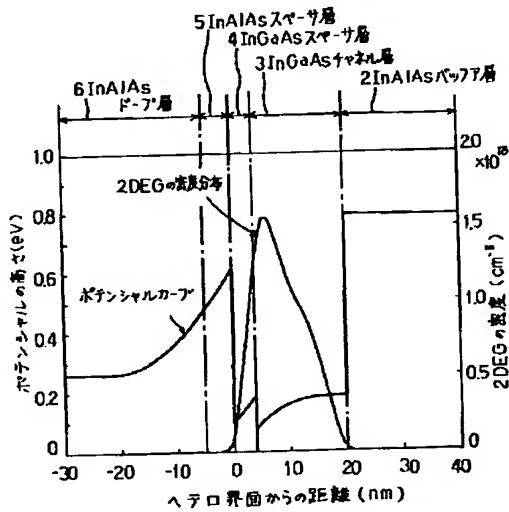
【図1】



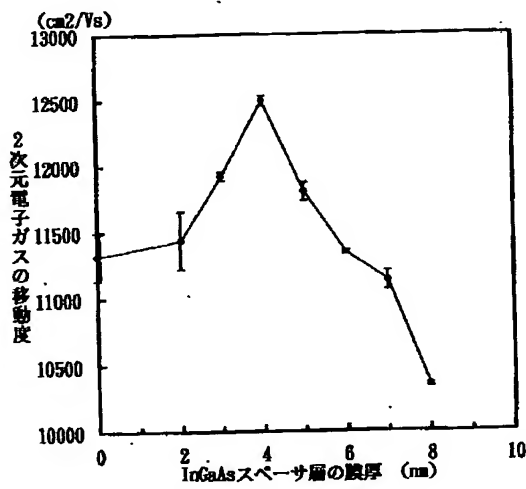
【図2】



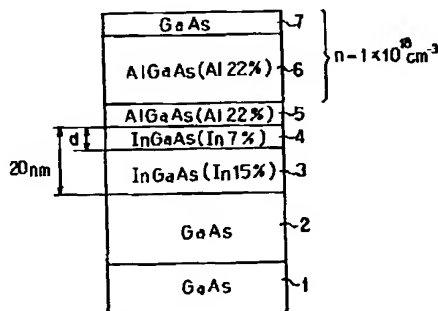
【図3】



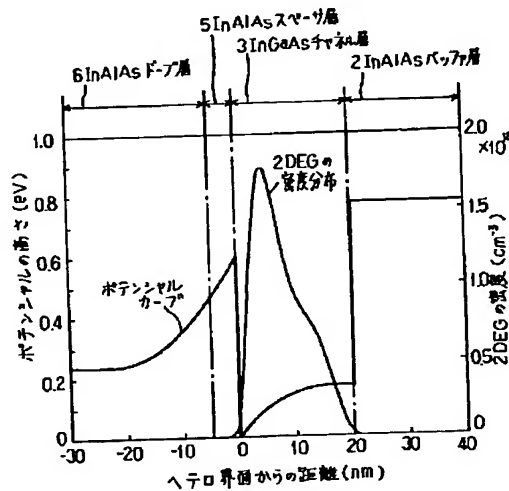
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 服部 正
愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内